⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平4−116849

⑤Int. Cl.⁵	識別記号	庁内整理番号	㊸公開　平成4年(1992)4月17日
H 01 L 21/78	R	6940−4M	

審査請求　未請求　請求項の数 1　(全3頁)

㊹発明の名称　半導体装置

㉑特　願　平2−236424
㉒出　願　平2(1990)9月6日

㉗発明者　立松　幹雄　神奈川県川崎市幸区小向東芝町1番地　株式会社東芝小向工場内
㉑出願人　株式会社東芝　神奈川県川崎市幸区堀川町72番地
㉔代理人　弁理士　大胡　典夫

明細書

1．発明の名称

半導体装置

2．特許請求の範囲

化合物半導体ウエーハを長方形に分割して得られる半導体素子を備えた半導体装置において、半導体素子における長方形の角部が丸く形成されてなることを特徴とする半導体装置。

3．発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、例えば砒化ガリウムGaAs半導体を用いる電界効果トランジスタ(以下FETと称す)やモノリシック・マイクロ波集積回路(以下MMICと称す)等の半導体装置に関する。

(従来の技術)

従来、GaAs等の化合物半導体を用いたFET、モノリシック型マイクロ波集積回路(MMICと略称)等は次に述べるように形成されていた。

すなわち、第2図(a)に示されるように、ウエーハ1と称する円盤状の半導体基板上に選択的イオン注入、各種電極材料や絶縁体の選択的形成、熱処理等を施して複数個を同時に構成した後、スクライブライン2に沿ってダイヤモンドブレードなどにより分割して個々の半導体素子3(第2図(b))を形成している。

このようにして得られた半導体素子3は、長方形の形状を示している。そして、この半導体素子は、通常パッケージやキャリアプレート上にはんだや接着剤を用いてマウントした後、金線またはアルミ線により半導体素子の電極と外部の電極端子とを接続して実用に供されるが、マウント作業を行なう際には第4図に示すように、半導体素子3を真空ピンセット4で取扱うことが多い。

ところが叙上のGaAsなどの化合物半導体は比較的もろい材質であるため、その製造工程において真空ピンセット4と接触した時に、長方形の角部の部分が欠け易いという問題点があった。第3図は、1つの角部の部分に欠損部5が生じた半導体素子13を例示している。このような欠損部5が生

じた半導体素子13は通例、性能の劣化が観測され、また、直ちに検出されなくても経時的に劣化が進行することが予想されるため、不良品と判定している。

従って上記従来の鋭い角部のある半導体素子ではマウント時に不良品が多く発生するという欠点があった。

（発明が解決しようとする課題）

以上述べたように従来の半導体装置では、その半導体素子がその４つの角部が鋭い角をなしている。その結果、真空ピンセットを用いるマウント時に角に欠損が生じることが避けられず、マウント時の不良発生が多かった。

本発明は上記の欠点を除去すべくなされたもので、真空ピンセットを用いるマウント時における欠損の発生を防ぐようにした半導体素子を備えた半導体装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

本発明に係る半導体装置は、化合物半導体ウエーハを長方形に分割して得られる半導体素子を備えた半導体装置において、半導体素子における長方形の角部が丸く形成されてなることを特徴とする。

（作　用）

本発明の半導体装置では、半導体素子の４つの角部にアールを設けまたは鈍角に形成することにより、真空ピンセットとの接触による欠損を生じにくくなっている。

したがって、真空ピンセットを用いるマウント工程における不良品の発生が防止できる。

（実施例）

以下、本発明に係る半導体装置の一実施例につき図面を参照して説明する。

第１図(b) に示す半導体素子23は４つの角部にアールが設けられたものである。この例では半導体素子の角部が丸められており、そのアールの大きさは一定で、その曲率半径ｒは半導体素子の短辺(a)の約1/6、長辺(b)の約1/12である。

上記の構成によれば、真空ピンセットで取扱う際に接触する部分に鋭い角部がないため、マウント時に欠損が生じることによる不良発生が防止できる。

このような構成を実現するためには、従来のダイヤモンドブレードを用いる分割方法に代えて、異方性のある選択エッチングによる分割方法を採用すればよい。この時に重要なことは、選択エッチングを行う際に用いるマスクを角部にアールを設けた形状に形成することである。具体的には第１図(a) に示すように、ウエーハ１の表面に例えばノボラック系ポジ形フォトレジストを塗布した後、フォトマスクを介して紫外線を照射して半導体素子として残す部分に対応した部分以外のフォトレジストを露光し、現像する。フォトマスクのパターンを半導体素子の４つの角部にアールが設けられた形状に対応させることにより、第１図(a) に示すフォトレジスト６のパターンを形成できる。次にフォトレジスト６をエッチングマスクとして用い、ウエーハに BCl_3 と Cl_2 を含む反応ガスを使った選択エッチングを施して、ウエーハを分割し、さらに、有機溶剤によりフォトレジストを溶解除去して第１図(b) に示す半導体素子23を得ることができる。

〔発明の効果〕

以上述べたように本発明によれば、真空ピンセットにより取扱う際に化合物半導体からなる半導体素子に欠損が生じることが防止でき、半導体素子をパッケージやキャリアプレートにマウントする際の不良発生が防止できる半導体装置を提供できる。

４．図面の簡単な説明

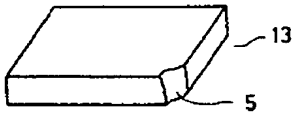
第１図(a) は本発明に係る半導体素子の一実施例の形成手段を説明するための平面図、第１図(b) は本発明に係る半導体素子の一実施例を示す斜視図、第２図(a) は従来の半導体素子の形成手段を説明するための平面図、第２図(b) は従来の半導体素子を示す斜視図、第３図は従来の半導体素子における欠損を説明するための斜視図、第４図は真空ピンセットによって取扱いされた後の半導体素子の状態を説明するための斜視図である。

1…ウエーハ、2…スクライブライン、
3，13，23…半導体素子、
4…真空ピンセット、5…欠損部。

代理人　弁理士　大　胡　典　夫

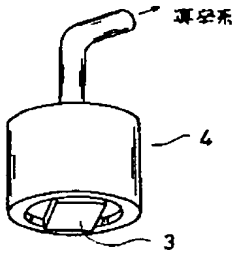
(b)

第 2 図　(その2)



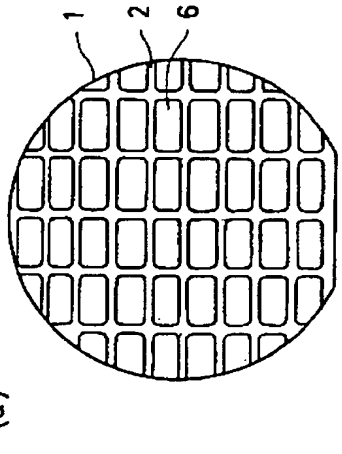
5：欠損部　13：(欠損を生じた) 半導体素子

第 3 図



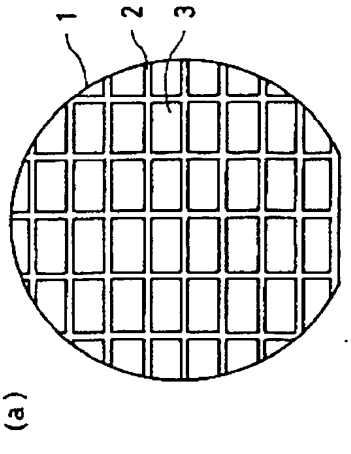
4：真空ピンセット

第 4 図



1：ウエーハ　2：スクライブライン　6：フォトレジスト
23：半導体素子

第 1 図



1：ウエーハ　2：スクライブライン　3：半導体素子

第 2 図　(その1)